Introduktion till FPGA och VHDL-programmering

25 yrkeshögskolepoäng, FPGA-002

Fastställd och giltig för 2025/2026
Inrättad 2020-08-21 (Reviderad 2026-08-19)

Mål

Kursen ska ge yrkeskunskap för att konstruera, verifiera och validera konstruktioner med moderna verktyg och konstruktionsspråk. Inom industrin är det viktigt att lära sig att jobba mot ”deadlines”. Ett av kursens mål är att den studerande ska kunna leverera ett jobb till en fiktiv kund enligt tidplan. Därmed påverkar förmågan att hålla tiden betygsnivån.

Lärandemål

Efter genomgången utbildning ska den studerande:

- Kunna VHDL Syntax
- Förstå de grundläggande arkitekturerna som tillståndsmaskiner, enkel CPU och datavägar,
- Förstå hur konstruktioner optimeras med avseende på storlek, prestanda och effektförbrukning,
- Kunna överföra algoritmer till VHDL kod,
- Kunna använda simulator och bygga testbänkar för att verifiera konstruktionen, samt validera på målsystem.
- Veta vad en tidplan är och vad den används till,
- Förstå vikten av att hålla en tidplan.

Undervisning

Undervisningen ges i form av distansutbildning. Undervisningen sker på svenska och engelska. Dessutom hålls klassmöten via Discord varje vecka under utbildningen.

Former för kunskapskontroll

Inlämningsuppgifter där en större examinerande uppgift (ECS -Embedded computer system project) utförs som sista uppgift i kursen. Alla uppgifter utförs som kundprojekt där den studerande får en kravspecifikation från en fiktiv kund och ska leverera det som är beställt. Veckovisa klassmöten via Discord.

Betygskriterier och Examination

Betyg: Icke godkänd (IG), Godkänd (G) eller Väl godkänd (VG)

För betyget godkänd (G) ska:

- Samtliga i kursen ingående inlämningsuppgifter vara utförda och godkända,
- Kursens ”ECS-projekt” vara godkänt.
- Den studerande varje vecka muntligt via klassmöten redovisa vad som är utfört under veckan som gått, skriftligt skicka in sin individuella statusrapport och formulera eventuella problem för mötesledaren.

För betyg väl godkänt (VG) ska:

- Kraven på betyget godkänt vara uppfyllt och alla deluppgifter levererade enligt aktuell tidplan samt eventuella kompletteringar levererade inom en vecka efter rättning.
- En individuell uppgift vara godkänd och levererad enligt aktuell tidplan samt eventuella kompletteringar levererade inom en vecka efter rättning. Den studerande ska utföra en uppgift som självständigt som undersöker, förklarar och redovisar en fördjupning av något moment i kursen. Fördjupningsmomenten kan till exempel vara olika typer av robust RTL-språkkonstruktion (reflektera över sin egen eller andras kod och föreslå förbättringar), RTL-verktyg (syntes och modellering) och/eller speciella konstruktionsfall.

Litteratur

Obligatorisk litteratur för VHDL-kursen är:

- Sjöholm, Stefan, Lindh, Lennart (2014) *VHDL För Konstruktion*. 5 uppl. Lund: Studentlitteratur – ISBN 978-91-44-09373-4

Övrig information

- Via AGSTUs utbildningsplattform, Itslearning, har den studerande tillgång till teoriavsnittens Powerpoints, uppgifter och extra material i form av PDF.